

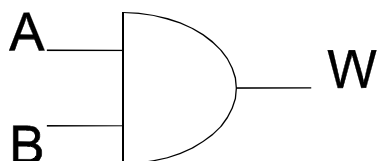
Poniżej zamieszczone są rysunki przedstawiane na wykładach z przedmiotu Peryferia Komputerowe.

ELEKTRONICZNE UKŁADY CYFROWE

Podstawowymi bramkami logicznymi są układy stanowiące:

- funktor typu AND (funkcja I iloczynu logicznego),
- funktor typu OR (funkcja sumy logicznej),
- funktor typu NOT (funkcja negacji logicznej).

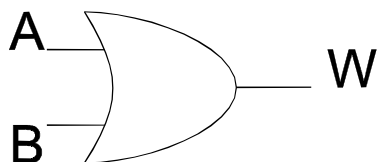
Funktor AND



$$W = AB = A \cdot B = A \wedge B$$

A	B	W
0	0	0
0	1	0
1	0	0
1	1	1

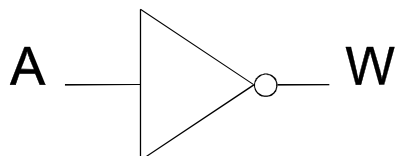
Funktor OR



$$W = A+B = A \vee B$$

A	B	W
0	0	0
0	1	1
1	0	1
1	1	1

Funktor NOT (inwerter)

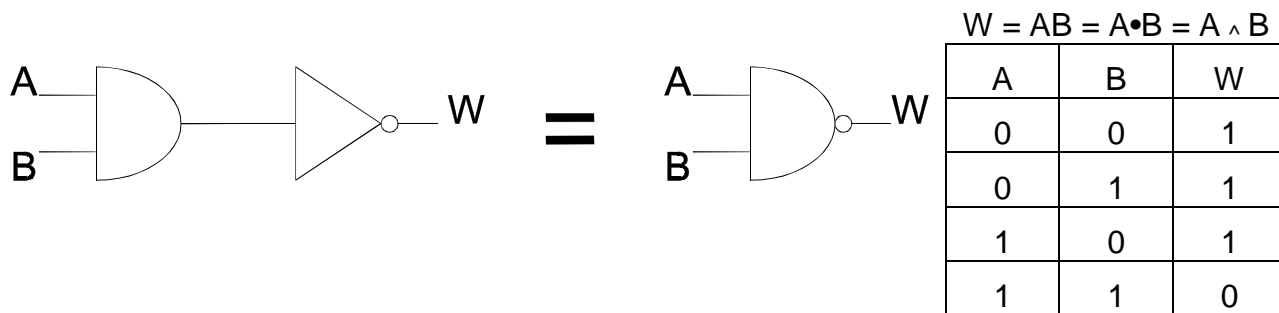


$$W = \bar{A} = A'$$

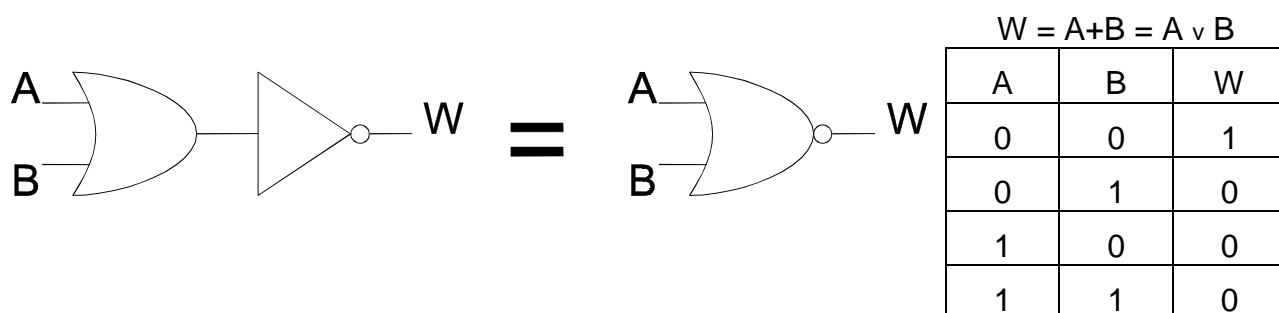
A	W
0	1
1	0

Przykłady realizacji innych funkcji logicznych przy pomocy funktorów:

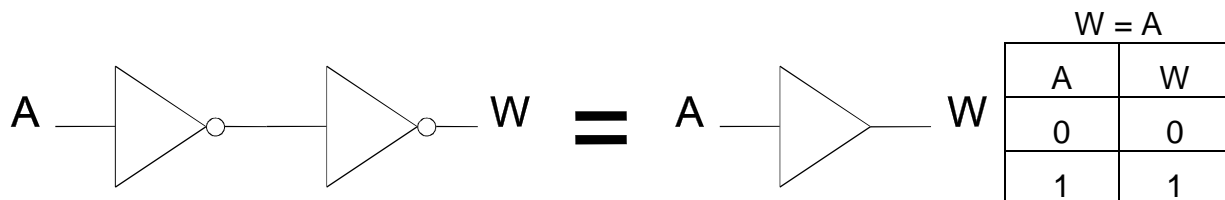
NAND



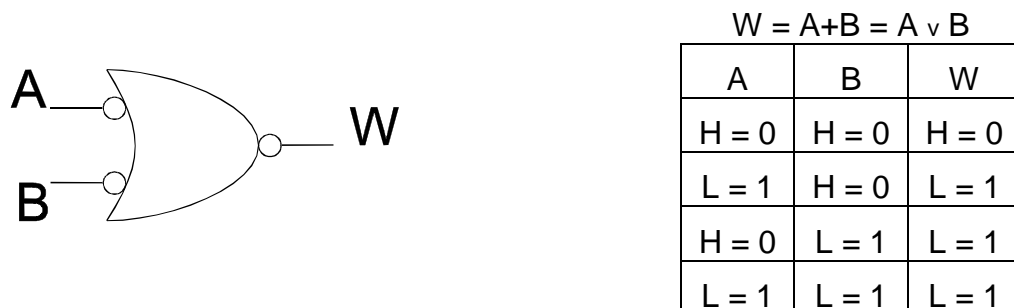
NOR



Wzmacniacz logiczny

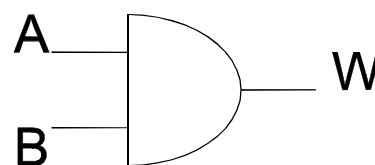


Przykład bramki logicznej OR z wyjściem i wejściami negującymi (działającymi w logice ujemnej)

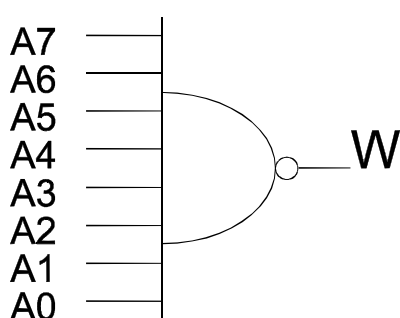


Uwaga - tabela prawdy jest zapisana w logice ujemnej.

Warto zwrócić uwagę, że jeśli spojrzymy na stany napięciowe, to przytoczona powyżej tabela prawdy odpowiada tabeli dla bramki AND w logice dodatniej. Widać więc, że ta sama bramka może spełniać różne funkcje logiczne w zależności od przyjętego rodzaju logiki (dodatniej lub ujemnej).



Ośmiowejściowa bramka NAND.

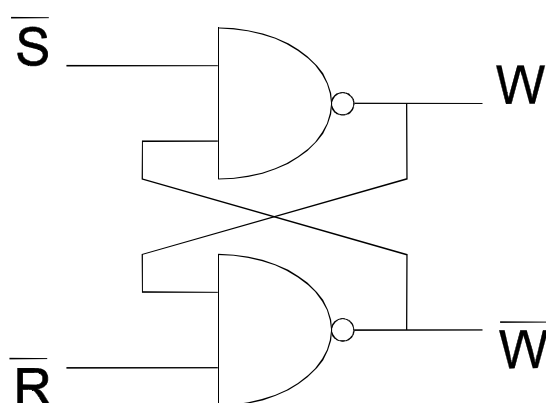
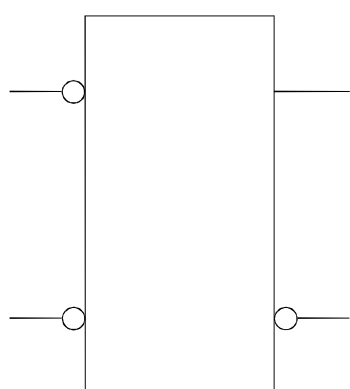


$$W = A_0 \cdot A_1 \cdot A_2 \cdot A_3 \cdot A_4 \cdot A_5 \cdot A_6 \cdot A_7$$

A7	A6	A5	A4	A3	A2	A1	A0	W
1	1	1	1	1	1	1	1	0
wszystkie inne kombinacje stanów wejściowych								1

Przerzutniki są to funktory, których podstawowym zadaniem jest pamiętanie jednego bitu informacji. Wyjście przerzutnika jest w stanie zapamiętać zmianę stanu logicznego na jego wejściu.

Przykładem takiego funktora może być przerzutnik asynchroniczny RS.

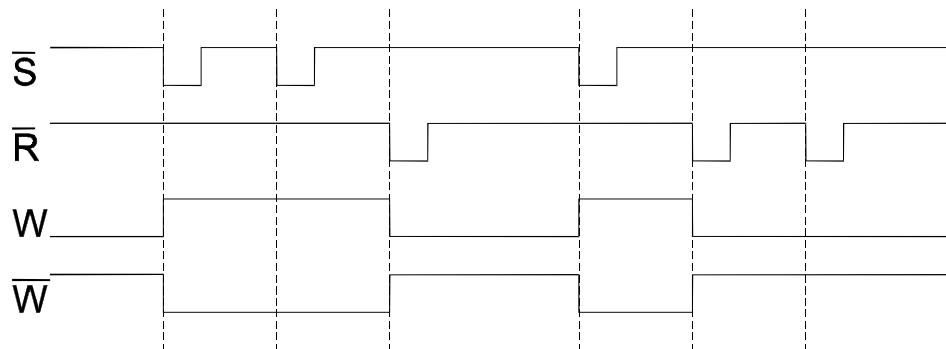


R" – wejście zerujące, kasujące pamięć, czyli ustawiające wartość pamiętanego bitu równą logicznemu zero,

S" – wejście informacyjne (danych) ustawiające wartość zapamiętywanego bitu informacji.

R''_n	R''_{n+1}	S''_n	S''_{n+1}	W_n	W_{n+1}	W''_n	W''_{n+1}
1	→ 0	1	1	0	→ 0	1	→ 1
1	→ 0	1	1	1	→ 0	0	→ 1
1	1	1	→ 0	0	→ 1	1	→ 0
1	1	1	→ 0	1	→ 1	0	→ 0

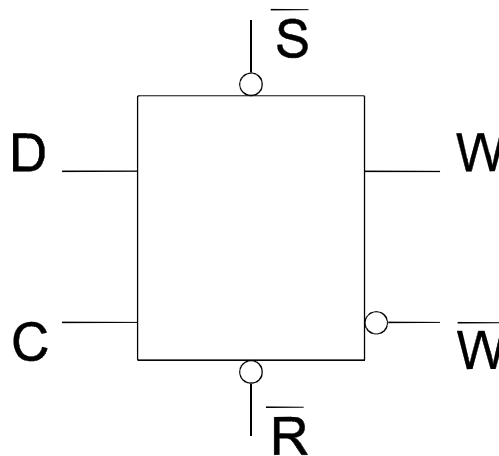
w tabeli jako znaku negacji użyto symbolu (").



Zmiany wartości logicznych wejść i wyjść przerzutnika RS w funkcji czasu.

Przerzutniki synchroniczne mają, oprócz wejść danych, wejścia synchronizujące – zegarowe.

Przykładem przerzutnika synchronicznego może być przerzutnik typu D.



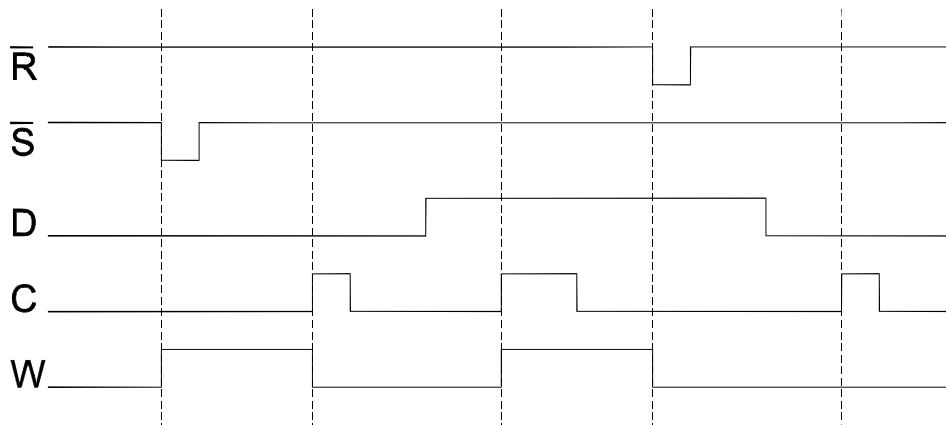
D – wejście danych (data)

C – wejście synchronizujące, zegarowe (clock),

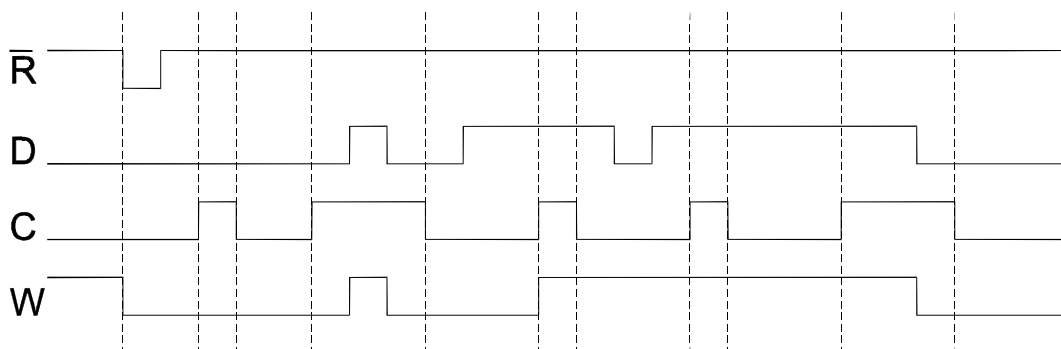
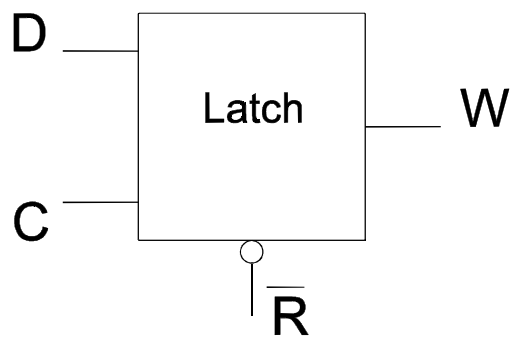
R'' – asynchroniczne wejście zerujące (reset),

S'' – asynchroniczne wejście ustawiające (set),

W, \bar{W} – para wyjść komplementarnych.

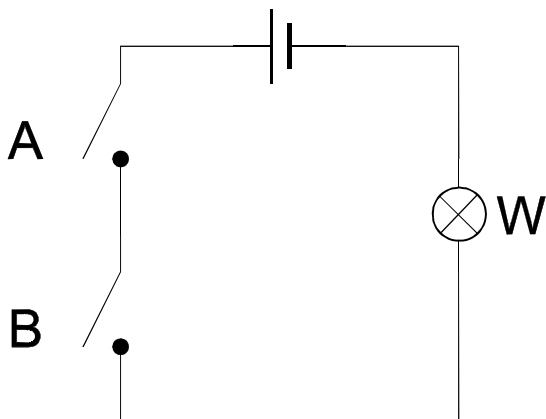


Układy pamięciowe zawierają często innego rodzaju przerzutniki synchroniczne. Są to przerzutniki typu „Latch” (zatrzaskowe).



Przykłady fizycznej realizacji w układach elektrycznych omawianych wyżej funkcji logicznych:

AND

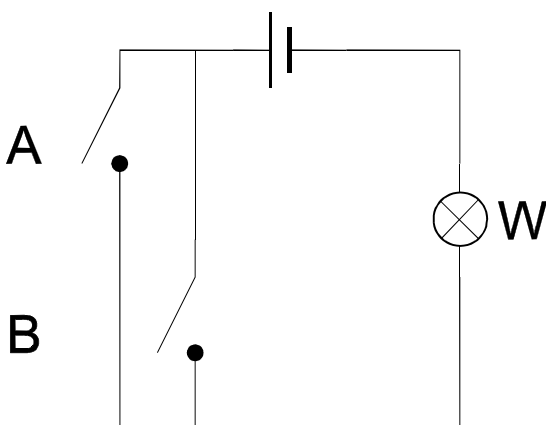


$$W = AB = A \cdot B = A \wedge B$$

A	B	W
0	0	0
0	1	0
1	0	0
1	1	1

$W = 1$ (Żarówka świeci)

OR

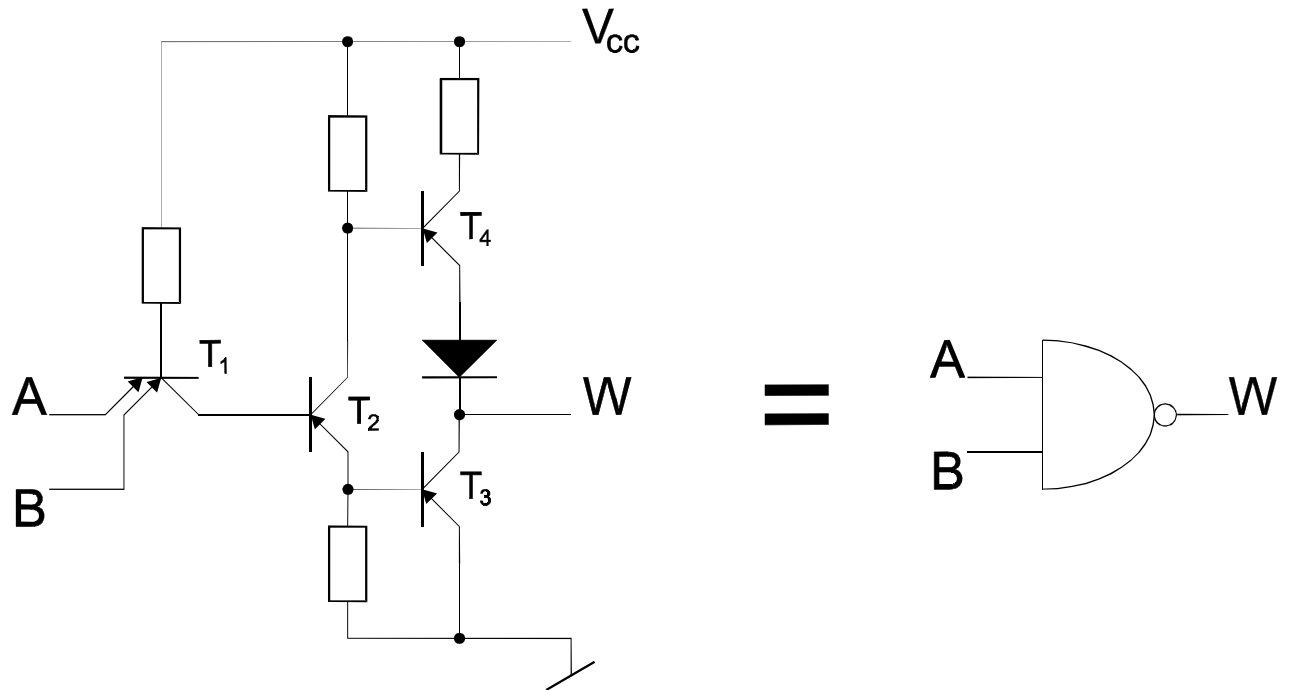


$$W = A+B = A \vee B$$

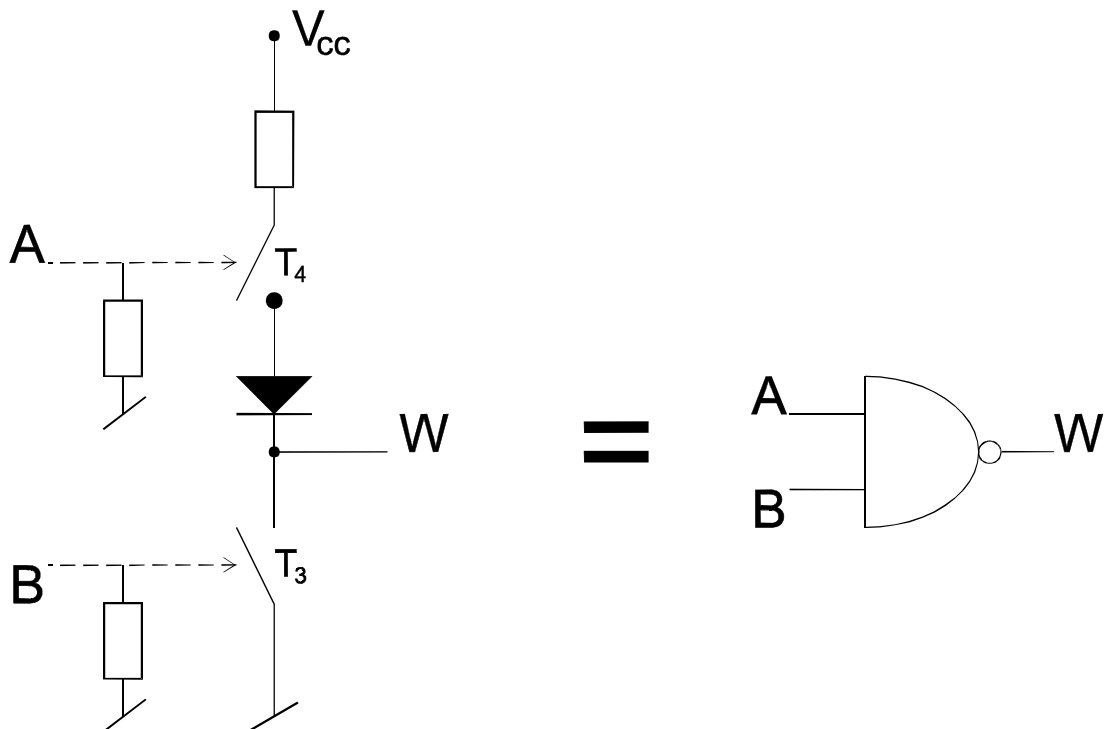
A	B	W
0	0	0
0	1	1
1	0	1
1	1	1

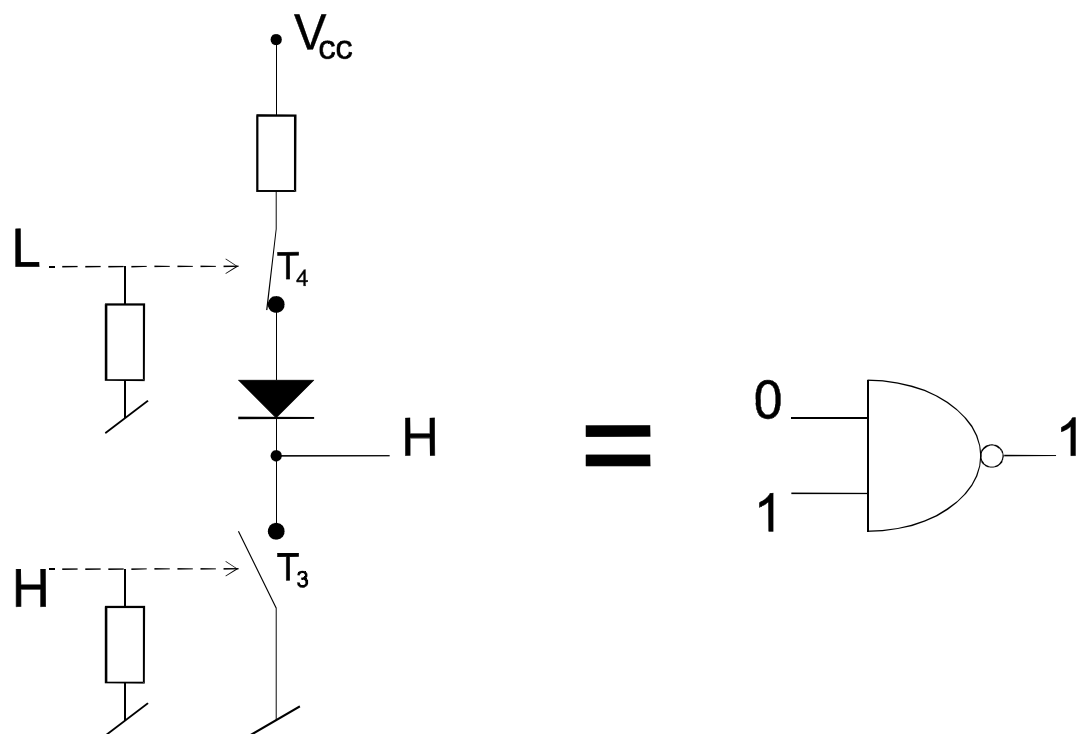
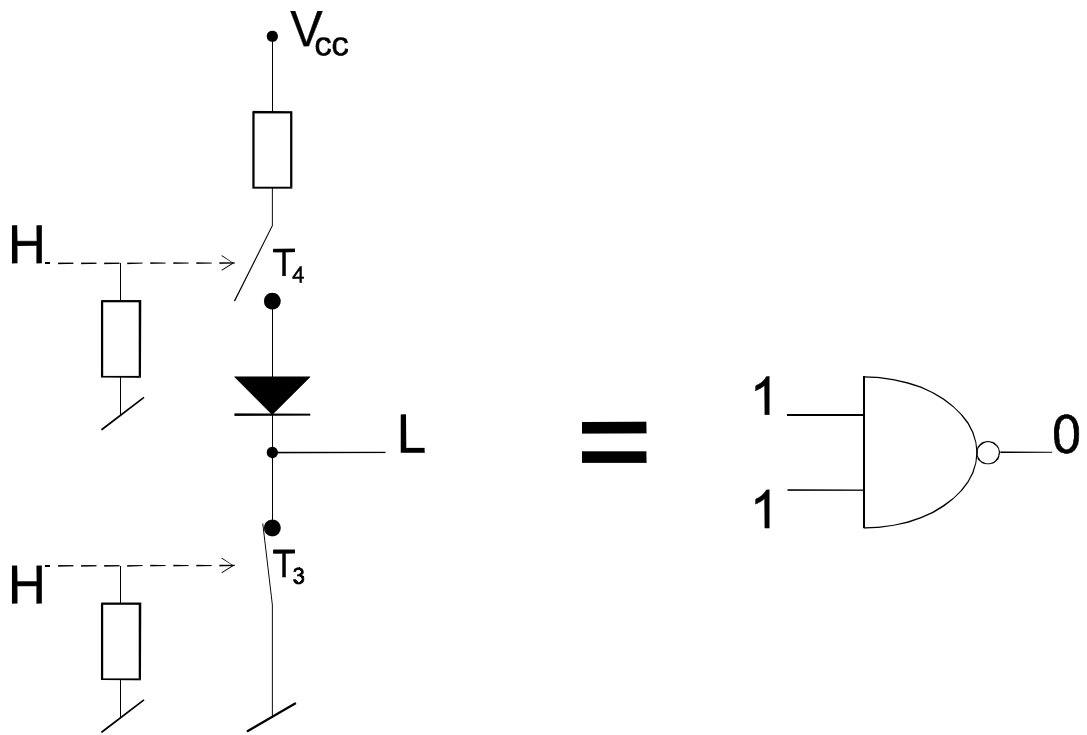
$W = 1$ (Żarówka świeci)

Przykład fizycznej realizacji funkcji logicznej NAND w scalonym układzie elektronicznym z tzw. „rodziny TTL”.

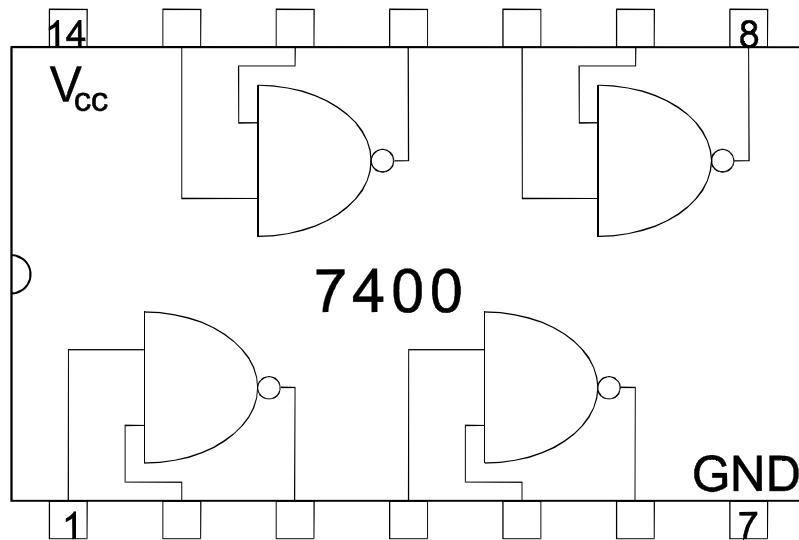


Pokazany wyżej układ może być przedstawiony następującym układem zastępczym.

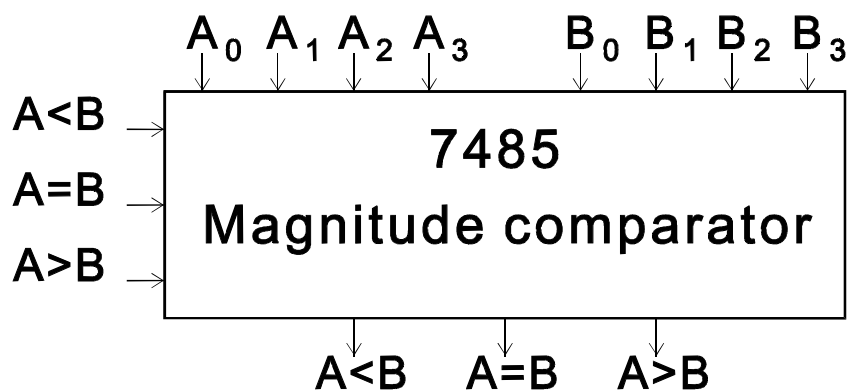




Omawianą wyżej bramkę logiczną NAND można znaleźć w wielu elektronicznych układach scalonych. Przykładem może być element 7400 z serii układów TTL.



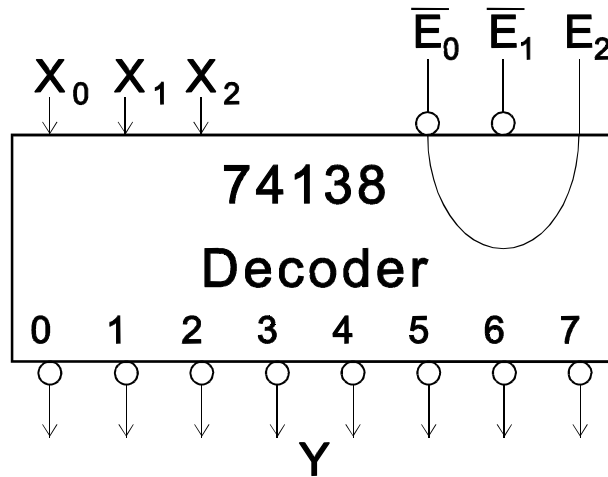
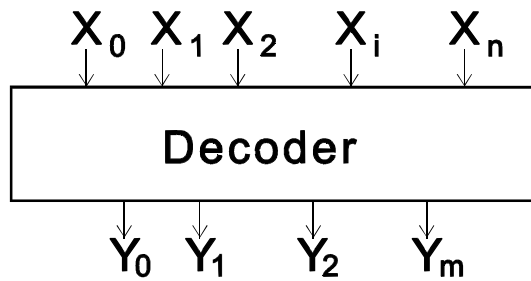
Komparator jest to układ do porównywania wartości danych logicznych z dwu odrębnych wejść.



Czterobitowy komparator

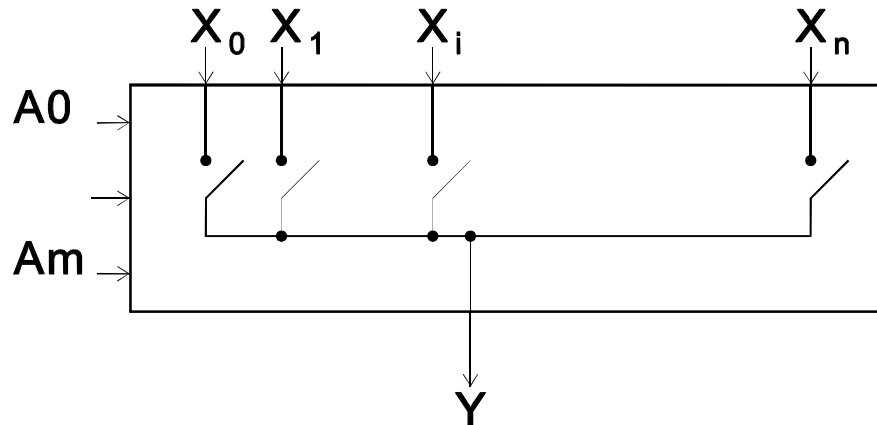
Dekoder jest układem

- do konwersji wejściowych wartości logicznych wyrażonych w innym kodzie niż kod pierścieniowy na wartości wyjściowe wyrażone w kodzie pierścieniowym.
-

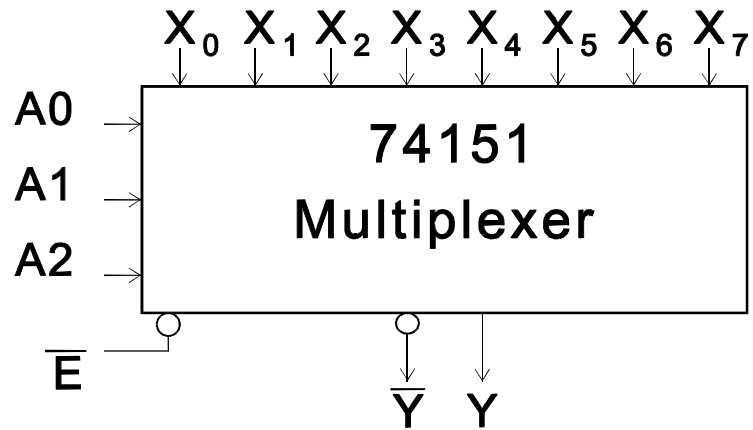


Dekoder „1 z 8”

Multiplekser (selektor) jest to układ generujący na jednobitowym wyjściu logicznym Y stan logiczny odpowiadający jednemu z n jego wejść (X_1, X_2, \dots, X_n).

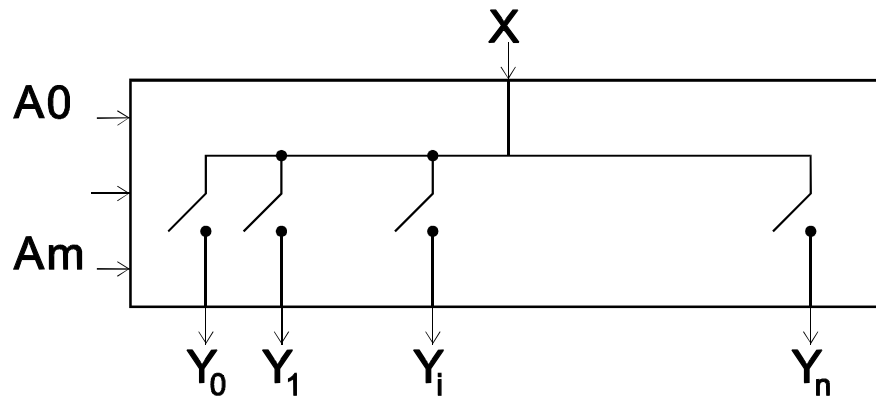


Przykładem ośmiowejściowego multipleksera jest układ scalony 74151.



Ośmiowejściowy multiplekser

Demultiplekser



Praktycznie, zawsze spełniony jest związek $n=2^m$.

Pokazany niżej układ scalony 74154 jest katalogowany, raz jako dekodery, innym razem jako demultiplekser.

